

BEST AVAILABLE COPY

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 827 705

②1 N° d'enregistrement national : 01 09665

⑤1 Int Cl⁷ : H 01 L 21/336, H 01 L 29/78

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 19.07.01.

③0 Priorité :

④3 Date de mise à la disposition du public de la
demande : 24.01.03 Bulletin 03/04.

⑤6 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

⑥0 Références à d'autres documents nationaux
apparentés :

⑦1 Demandeur(s) : COMMISSARIAT A L'ENERGIE ATO-
MIQUE Etablissement de caractère scientifique techni-
que et industriel — FR.

⑦2 Inventeur(s) : JOLY JEAN PIERRE.

⑦3 Titulaire(s) :

⑦4 Mandataire(s) : BREVATOME.

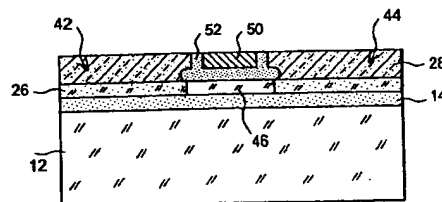
⑤4 TRANSISTOR ET PROCEDE DE FABRICATION D'UN TRANSISTOR SUR UN SUBSTRAT SIGE/SOI.

⑤7 La présente invention concerne un procédé de fabri-
cation d'un transistor de type MOS comprenant les étapes
suivantes :

a) fourniture d'un substrat comprenant une couche min-
ce de silicium (26), solidaire d'un support isolant (14), et re-
couverte d'une couche superficielle (28) en un matériau
semi-conducteur présentant un paramètre de maille voisin
du silicium,

b) la gravure locale de la couche superficielle pour met-
tre à nu la couche de silicium dans au moins une région de
canal,

c) la formation d'une grille isolée (50) au-dessus de la
couche de silicium dans la région de canal, et la formation
d'une source et d'un drain de part et d'autre de la région de
canal, les source et drain s'étendant dans la couche de sili-
cium et dans la couche superficielle.



FR 2 827 705 - A1



**TRANSISTOR ET PROCEDE DE FABRICATION D'UN TRANSISTOR
SUR UN SUBSTRAT SIGE/SOI.**

Domaine technique

La présente invention concerne un transistor à
5 effet de champ de type MOS (transistor à grille isolée)
et un procédé de réalisation d'un tel transistor.

L'invention trouve des applications, de façon
générale, dans les domaines de la microélectronique et
de l'électronique de commutation. Elle vise en
10 particulier la réalisation de transistors susceptibles
de fonctionner à des fréquences élevées.

Etat de la technique antérieure.

Les transistors à commutation rapide, c'est-à-
15 dire les transistors susceptibles de fonctionner à des
fréquences élevées, présentent généralement des canaux
courts et suffisamment fins pour autoriser leur
appauvrissement complet. Aussi, pour leur réalisation,
on a recours de préférence à des substrats de type
20 silicium sur isolant (SOI). Ces substrats ont la
particularité de présenter une couche mince de
silicium, séparée d'un substrat massif par une couche
enterrée isolante, par exemple, d'oxyde de silicium. Le
canal du transistor, de même que la source et le drain,
25 sont alors formés dans la couche mince.

Une technique bien connue pour la réalisation
de substrats de type silicium sur isolant, consiste à
reporter sur un substrat receveur, comprenant une
couche superficielle d'oxyde de silicium, un bloc de
30 silicium donneur, et de fracturer ce bloc selon une
zone fragilisée pour en détacher une couche mince. La

couche mince de silicium reste solidaire de la couche d'oxyde de silicium qui se trouve ainsi être enterrée.

Bien que d'autres solutions puissent être retenues, la zone fragilisée du bloc de silicium est
5 préférentiellement réalisée par implantation d'ions d'hydrogène et/ou de gaz rares. Ainsi, l'épaisseur de la couche mince est dictée par la profondeur, partant l'énergie d'implantation, de la zone fragilisée. Or, il s'avère que cette technique ne permet pas d'obtenir des
10 couches de silicium dont l'épaisseur n'excède pas quelques nanomètres et qui puisse être contrôlée avec une bonne précision. Après le report, la couche de silicium présente, en effet, une certaine rugosité, ou tout au moins des défauts de surface.

15 Pour garantir une meilleure précision de l'épaisseur de la couche de silicium, ainsi qu'une bonne qualité de surface, une autre technique consiste à faire croître la couche de silicium par épitaxie sur une couche de matériau tel que le SiGe, avant son
20 report d'un substrat donneur vers le substrat receveur. Le report a lieu en laissant la couche mince de silicium solidaire de tout ou partie de la couche de SiGe, et éventuellement une partie du substrat donneur. En d'autres termes, la zone fragilisée n'est pas formée
25 dans le silicium mais dans la couche de SiGe ou le substrat sous-jacents. Après le report, le reliquat de la couche de SiGe, de même qu'éventuellement le reliquat du substrat donneur, sont éliminés par une gravure. La gravure est opérée avec des agents de
30 gravure sélectifs par rapport au silicium de façon à

pouvoir utiliser la couche mince de silicium comme couche d'arrêt de gravure.

Au terme de la gravure, la couche mince de silicium, solidaire de la couche d'oxyde du substrat receveur, présente une face entièrement libre. Ainsi, l'épaisseur de la couche n'est pas dictée par la fracture d'un substrat donneur mais par l'épitaxie. Or, l'épitaxie permet d'obtenir des couches particulièrement minces et de contrôler parfaitement leur épaisseur.

La minceur de la couche de silicium permet de réduire aussi la longueur du canal et donc de miniaturiser le transistor. Par ailleurs une couche de silicium très mince permet de concevoir des transistors « bi-dimensionnels » avec un très fort appauvrissement du canal. Les performances en fréquence des transistors s'en trouvent améliorées. En revanche, et toujours en raison de la faible épaisseur de la couche de silicium, la résistance d'accès aux source et drain tend à augmenter et constitue une nouvelle limite des performances des transistors.

Une illustration de l'état de la technique peut être trouvée, par exemple dans les documents (1) et (2) dont les références sont précisées à la fin de la présente description.

Exposé de l'invention.

L'invention a pour but de proposer un transistor et son procédé de réalisation, ne présentant pas les difficultés ou limitations mentionnées ci-dessus.

Un but est en particulier de proposer un procédé permettant de contrôler avec une grande précision l'épaisseur et la longueur du canal.

Un autre but encore est de proposer un transistor avec des résistances d'accès réduites aux source et drain.

Pour atteindre ces buts, l'invention a plus précisément pour objet un procédé comprenant les étapes suivantes :

- 10 a) la fourniture d'un substrat comprenant une couche mince de silicium, solidaire d'un support isolant, et recouverte d'une couche superficielle en un matériau semi-conducteur,
- b) la gravure locale de la couche superficielle pour
15 mettre à nu la couche de silicium dans au moins une région de canal,
- c) la formation d'une grille isolée au-dessus de la couche de silicium dans la région de canal, et la formation d'une source et d'un drain de part et
20 d'autre de la région de canal, les source et drain s'étendant dans la couche de silicium et dans la couche superficielle.

Dans ce procédé la couche dite superficielle, est préférentiellement une couche présentant un
25 paramètre de maille voisin de celui du silicium. Elle a plusieurs fonctions. Une première fonction est d'autoriser une gravure sélective par rapport au silicium. Une deuxième fonction est d'augmenter le volume des source et drain, en les surélevant, de façon
30 à réduire leur résistance d'accès. Enfin, lorsqu'elle présente un paramètre de maille proche du silicium, une

troisième fonction est de favoriser la croissance par épitaxie d'une couche mince de silicium, avec une épaisseur contrôlée.

La couche superficielle est de préférence une
5 couche de SiGe. Toutefois, d'autres matériaux semi-conducteurs tels que, par exemple, le SiC ou des alliages de type $\text{Si}_x\text{Ge}_y\text{C}_{1-x-y}$, $\text{Ga}_x\text{P}_{1-x}$ ou $\text{Ga}_x\text{In}_{1-x}\text{N}_y\text{As}_{1-y}$ peuvent également convenir.

La gravure locale de la couche superficielle
10 revient à pratiquer dans cette couche un puits à l'endroit où sera formée la future grille. Il convient de noter à sujet que, bien que la description se réfère essentiellement à la fabrication d'un seul transistor, une pluralité de transistors peuvent être fabriqués de
15 façon concomitante. Dans ce cas, la gravure est réalisée selon un motif permettant de mettre à nu la couche mince dans une pluralité de régions de canal, chacune de ces régions étant ensuite pourvue d'une grille, et associée à des source et drain.

La gravure de la couche superficielle est
20 préférentiellement une gravure anisotrope par voie sèche. Toutefois, lorsque la couche de silicium est particulièrement mince, ou lorsqu'on veut en éviter toute altération, il possible de réaliser une première
25 gravure anisotrope, par voie sèche, et une deuxième gravure par voie humide, la gravure par voie sèche étant interrompue avant l'élimination complète de la couche superficielle dans la région de canal. La
30 deuxième gravure, qui présente une sélectivité supérieure à la première gravure, est poursuivie avec arrêt sur la couche de silicium.

En effet, les gravures par voie humide, présentent généralement une meilleure sélectivité que les gravures par voie sèche, mais sont souvent isotropes.

5 Les source et drain sont formées non seulement dans la couche mince de silicium, mais également dans des régions sus-jacentes de la couche superficielle, de part et d'autre du canal. Bien que d'autres techniques, telles que la diffusion, peuvent être retenues, les
10 régions de source et de drain sont de préférence formées par implantation d'impuretés dopantes. L'implantation peut être suivie d'un traitement thermique d'activation.

Pour obtenir un parfait alignement des source
15 et drain sur la grille, celle-ci peut être formée avant les source et drain, et mise à profit comme masque d'implantation. Dans ce cas toutefois, la grille est susceptible d'être soumise au traitement d'activation. Un choix de matériaux réfractaires pour la grille
20 permet d'éviter cette contrainte. Lorsqu'elle doit subir un traitement thermique, la grille peut être réalisée, par exemple, en silicium polycristallin, ou en un matériau plus fragile, tel que le cuivre, mais protégé par un matériau réfractaire.

25 Selon un perfectionnement, la réalisation de la grille peut aussi comporter les étapes suivantes :
- la formation d'une grille factice sur la couche de silicium dans la région de canal,
- l'implantation d'impuretés dopantes dans la couche de
30 silicium et la couche superficielle, en utilisant la grille factice comme masque d'implantation, et

- le remplacement de la grille factice par une grille définitive, isolée par une couche de diélectrique de grille.

Comme les grilles sont toujours formées dans le puits obtenu par gravure au-dessus de la région de canal, les source et drain conservent leurs propriétés d'alignement lors du remplacement de la grille factice par la grille définitive. De plus, les matériaux de la grille factice et de la grille définitive peuvent être choisis plus librement en fonction d'éventuelles contraintes de fabrication. Par exemple, la grille factice peut être réalisée en un matériau capable de parfaitement résister aux contraintes thermiques d'un éventuel traitement d'activation des impuretés dopantes. Par ailleurs, le matériau de la grille définitive, affranchi de toute contrainte thermique, peut être choisi, par exemple, en fonction de son travail de sortie en vue d'une faible tension de seuil du transistor.

Conformément à une mise en œuvre particulière de l'invention, le dépôt du matériau de grille, et notamment le dépôt du matériau de la grille définitive, peut être suivi d'une ou de plusieurs opérations de planage avec arrêt sur, ou dans, la couche dite superficielle. Le planage permet d'obtenir une grille encastrée damascène.

L'étape a) du procédé consiste essentiellement à fournir un substrat pour la fabrication du transistor. Elle peut comporter, par exemple :

- la formation, sur un premier substrat, de la couche superficielle en un matériau présentant un paramètre de maille voisin du silicium,

-
- la formation, par épitaxie, d'une couche mince de silicium sur la couche dite superficielle, et
 - le report de la couche mince de silicium et d'au moins une partie de la couche superficielle sur un support isolant, en rendant la couche mince de silicium solidaire dudit support isolant.

10 Le support isolant peut être un support massif, tel qu'un bloc de verre ou de saphir, mais peut aussi se résumer à une simple couche isolante solidaire d'un substrat qui ne l'est pas nécessairement. Il s'agit, par exemple, d'une couche d'oxyde de silicium

15 recouvrant un bloc de silicium massif.

L'invention concerne enfin un transistor à effet de champ comprenant :

- un canal formé dans une couche mince de silicium monocristallin,
- 20 - des régions de source et de drain, s'étendant de part et d'autre du canal dans la couche de silicium et dans une couche superficielle de semi-conducteur recouvrant la couche de silicium, la couche de semi-conducteur présentant un paramètre de maille voisin
- 25 du silicium, et
- une grille isolée, disposée au-dessus du canal, la grille étant encastrée de façon à affleurer à la couche superficielle.

D'autres caractéristiques et avantages de

30 l'invention ressortiront de la description qui va suivre, en référence aux figures des dessins annexés.

Cette description est donnée à titre purement illustratif et non limitatif.

Brève description des figures

5 La figure 1, représente, sous la forme de coupes schématiques, des substrats donneur et receveur, pour la fabrication d'un substrat propre à la mise en œuvre d'un procédé conforme à l'invention.

10 Les figures 2 et 3 sont des coupes schématiques d'un substrat obtenu suite à l'étape de procédé correspondant à la figure 1, et illustrent une étape de gravure pour la définition d'une région de canal d'un transistor.

15 La figure 4, est une coupe schématique du substrat obtenu suite à l'étape de procédé correspondant à la figure 3, et illustre la réalisation d'une source et d'un drain du transistor.

20 La figure 5, est une coupe schématique du substrat obtenu suite à l'étape de procédé correspondant à la figure 4, et illustre la réalisation d'une grille du transistor.

Description détaillée de modes de mise en œuvre de l'invention.

25 Dans la description qui suit, des parties identiques, similaires ou équivalentes des différentes figures sont repérées par les mêmes signes de référence pour faciliter le report entre les figures. Par ailleurs, et dans un souci de clarté des figures, tous
30 les éléments ne sont pas représentés selon une échelle uniforme.

La figure 1 illustre la formation d'un substrat adapté à la fabrication d'un transistor conforme à l'invention. Un premier substrat receveur 10 comprend un bloc de support 12, en silicium massif, recouvert d'une couche d'oxyde de silicium 14. La couche d'oxyde de silicium, utilisée pour ses propriétés d'isolant électrique, constitue le «support isolant» auquel il est encore fait allusion. A titre de variante, le bloc de support recouvert d'une couche isolante peut être remplacé par un bloc de matériau isolant massif.

Un deuxième substrat, désigné par substrat donneur, comprend également un bloc de support 20, et sur ce bloc, une couche de SiGe 28, et une couche mince de silicium 26 préférentiellement monocristalline. La couche mince de silicium 26 est formée par épitaxie sur la couche de SiGe, de façon à pouvoir contrôler avec précision son épaisseur. Celle-ci est comprise, par exemple entre 1 et 20 nm.

Dans l'exemple illustré par les figures, et décrit ici, le SiGe est choisi notamment pour sa propriété de présenter un paramètre de maille suffisamment voisin du silicium pour autoriser la croissance d'une couche cristalline de bonne qualité, et pour sa propriété de pouvoir être gravé sélectivement par rapport au silicium.

La référence 29 désigne une zone fragilisée formée dans la couche de SiGe. Elle est formée, par exemple, par implantation ionique.

Une flèche R indique le report du substrat donneur 20 sur le substrat receveur 10. Le report comprend la fixation de la couche mince 26 contre la

couche d'oxyde de silicium 14. Celle-ci fait office de support isolant. La fixation peut avoir lieu avec ou ~~sans matériau intermédiaire, il s'agit, par exemple~~ d'un collage par adhésion moléculaire directe.

- 5 Le report du substrat donneur sur le substrat receveur est suivi par la fracture du substrat donneur, selon la zone fragilisée 29. La fracture a pour effet d'en détacher la couche mince de silicium, désormais solidaire du substrat receveur, et de tout ou partie de
- 10 la couche 28 de SiGe qui recouvre la couche de silicium. A ce titre, la couche de SiGe est encore désignée par «couche superficielle». La zone fragilisée 29 peut éventuellement être formée hors de la couche de SiGe, par exemple, dans le bloc de support 22.
- 15 Cependant, il est important de noter que la zone fragilisée ne délimite pas la couche mince de silicium, prise isolément. Ainsi, lors de son report sur le substrat récepteur, la couche de silicium mince 26 n'est aucunement altérée.
- 20 Comme le montre la figure 2, après la fracture et l'élimination de la partie restante du substrat donneur, un masque de gravure 30 est formé sur la face libre de la couche superficielle 28. Il s'agit d'un masque de résine. Le masque 30 présente une ouverture
- 25 32 correspondant à l'emplacement du canal d'un transistor que l'on souhaite former sur le substrat. Bien que les figures se limitent à la réalisation d'un transistor unique, une pluralité de transistors peuvent être formés sur le même substrat. Dans ce cas, la
- 30 couche de masque de gravure présente une ouverture

correspondant au canal de chaque transistor que l'on souhaite réaliser.

La couche superficielle 28 est soumise à une première gravure anisotrope, à travers l'ouverture 32 de la couche de masque. Il s'agit d'une gravure par voie sèche. Dans cet exemple particulier, une atmosphère de gaz actif CF₄ à 10 sccm, mélangé à de l'azote à 200 sccm, sous une pression de 1 Torr est utilisée. L'un au moins des paramètres de la gravure sèche, par exemple sa durée, est choisi pour interrompre la gravure de la couche superficielle 28 de SiGe avant que la couche mince de silicium 26 sous-jacente ne soit atteinte.

La première gravure est suivie d'une deuxième gravure isotrope, par voie humide. Les agents de gravure utilisés sont choisis de façon à éliminer sélectivement le SiGe par rapport au silicium. Toujours à titre d'exemple, on peut utiliser un mélange HNO₃, H₂O et HF qui, selon la concentration en germanium de la couche superficielle, permet d'atteindre des sélectivités de l'ordre de 100. On peut se référer à ce sujet au document (3) dont les références sont précisées à la fin de la description. La très bonne sélectivité de la deuxième gravure par voie humide, permet de conserver parfaitement l'épaisseur et la qualité de surface de la couche mince de silicium 26.

Comme le montre la figure 3, la deuxième gravure est poursuivie avec arrêt sur la couche mince de silicium 26. Celle-ci est mise à nu au fond d'un puits 34 dont les flancs latéraux sont ajustés sur l'ouverture 32 du masque de gravure. Plus précisément,

la partie supérieure des flancs est alignée à l'aplomb de l'ouverture 32, tandis que la partie inférieure, au voisinage de la couche mince présente un léger évasement. Cet évasement est dû au caractère isotrope de la seconde gravure.

L'évasement peut être évité en pratiquant une ou plusieurs gravures exclusivement anisotropes. Les gravures anisotropes présentent toutefois une moins bonne sélectivité, et doivent donc être contrôlées avec un plus grand soin pour préserver la couche de silicium 26.

La figure 4 montre la réalisation des source et drain.

Dans un premier temps, une grille factice 40, par exemple en un matériau tel que le nitrure de silicium, est formée dans le puits précédemment gravé. La grille factice est encastrée et affleure à la surface de la couche superficielle 28.

Ceci peut être obtenu en déposant le matériau de la grille sur l'ensemble de la surface du substrat, avec une épaisseur suffisante pour combler le puits, puis en effectuant un planage, par exemple un polissage mécano-chimique, avec arrêt sur ou dans la couche superficielle 28.

Le substrat est ensuite soumis à une implantation D d'impuretés dopantes en utilisant la grille factice comme masque d'implantation. L'implantation a lieu dans la couche mince de silicium 26 et dans la couche superficielle de SiGe 28. Elle s'étend de part et d'autre de la grille factice pour former une source 42 et un drain 44. La grille factice

protège une partie sous-jacente de la couche mince qui constitue le canal 46 du transistor. Les source et drain sont ainsi auto-alignés sur la grille factice 40 et donc sur le canal 46.

5 Un masque d'implantation, non représenté, peut éventuellement être prévu aussi pour limiter l'extension des source et drain ou pour en définir la forme en dehors du transistor.

10 L'implantation des impuretés dopantes est suivie d'un traitement thermique d'activation. Le traitement thermique permet aussi de faire diffuser les impuretés dopantes et minimiser la résistance électrique des source et drain, notamment à l'interface Si/SiGe.

15 La figure 5 montre le remplacement de la grille 40 factice par une grille définitive 50. La grille factice est éliminée, par gravure sélective, pour réouvrir le puits. Cette opération est suivie par la formation d'une couche d'isolant de grille 52, puis
20 d'une grille 50.

La couche d'isolant de grille 52, formée par dépôt ou par oxydation, tapisse les parois du puits de façon à isoler la grille du canal 46, mais aussi des source et drain 42, 44. Comme pour la grille factice,
25 la formation de la grille définitive comprend le dépôt d'un matériau suivi d'un planage. La grille définitive est ainsi encastree et affleure également à la surface de la couche superficielle 28. Comme la grille définitive occupe l'emplacement de la grille factice,
30 les source et drain restent auto-alignés sur la grille définitive. De plus, la grille définitive ne subit,

dans cet exemple de réalisation, aucun traitement thermique. Elle est, par exemple, en cuivre ou en W ou un bicouche TiN/Cu.

Selon une variante, on peut aussi former
5 directement la grille définitive et utiliser cette grille comme masque d'implantation des source et drain. Le recours à une grille factice est alors inutile. Dans ce cas, et lorsqu'on souhaite soumettre les régions implantées à un traitement thermique, la grille est
10 préférentiellement réalisée en un matériau conducteur réfractaire tel que le silicium polycristallin ou un siliciure, par exemple du siliciure de tungstène.

Documents cités

15 (1)

FR-A-2 774 214

(2)

K.D. Hobart, "Conference abstract NATO
Advanced Research Workshop, "Progress in SOI
20 structures and device operating at extreme conditions", pp.63-64.

(3)

J. Electrochem. Soc. Vol. 139, n° 10,
25 octobre 92, "Selective removal of $\text{Si}_{1-x}\text{Ge}_x$ from (100) si using HNO_3 and HF ", D.J. Godbey, A.H. Krist, K.D. Hobart, and M.E. Twigg.

REVENDICATIONS

1. Procédé de fabrication d'un transistor de

type MOS comprenant les étapes suivantes :

- 5 a) la fourniture d'un substrat comprenant une couche
mince de silicium (26), solidaire d'un support
isolant (14), et recouverte d'une couche
superficielle (28) en un matériau semi-conducteur,
b) la gravure locale de la couche superficielle (28)
10 pour mettre à nu la couche de silicium dans au moins
une région de canal,
c) la formation d'une grille isolée (50) au-dessus de
la couche de silicium (26) dans la région de canal,
et la formation d'une source et d'un drain (42, 44)
15 de part et d'autre de la région de canal, les source
et drain s'étendant dans la couche de silicium et
dans la couche superficielle.

2. Procédé selon la revendication 1, dans
20 lequel la couche superficielle (28) présente un
paramètre de maille voisin du silicium.

3. Procédé selon la revendication 1, dans
lequel l'étape c) comprend :

25 - la formation d'une grille factice (40) sur la couche
de silicium dans la région de canal,
- l'implantation d'impuretés dopantes (D) dans la
couche de silicium et la couche superficielle, en
utilisant la grille factice comme masque
30 d'implantation, et

- le remplacement de la grille factice par une grille définitive (50), isolée par une couche de diélectrique de grille (52).
-

5 4. Procédé selon la revendication 3, dans
lequel on forme la grille définitive (50) par dépôt
d'un matériau de grille sur une couche de diélectrique
de grille, puis par planage du matériau de grille
jusqu'à rendre la grille affleurante à la couche
10 superficielle (28).

5. Procédé selon la revendication 1, dans
lequel l'étape c) comporte :

- la réalisation d'une grille définitive (50) , en un
15 matériau réfractaire, et
- l'implantation d'impuretés dopantes, en utilisant la
grille définitive comme masque d'implantation, pour
former les régions de source et de drain.

20 6. Procédé selon la revendication 1, dans
lequel l'étape a) comporte :

- la formation, sur un premier substrat, de la couche
superficielle (28) en un matériau présentant un
paramètre de maille voisin du silicium,
- 25 - la formation, par épitaxie, d'une couche mince de
silicium (26) sur la couche superficielle (28), et
- le report de la couche mince de silicium et de la
couche superficielle sur le support isolant (14), en
rendant la couche mince de silicium (26) solidaire
30 dudit support isolant (14).

7. Procédé selon la revendication 6, dans lequel le report comprend la fracture de l'un de la couche superficielle et du premier substrat.

5 8. Procédé selon la revendication 1, dans lequel le matériau de la couche superficielle est du SiGe ou du SiGeC.

10 9. Procédé selon la revendication 1, dans lequel l'étape b) comporte une première gravure anisotrope, par voie sèche, et une deuxième gravure par voie humide, la gravure par voie sèche étant interrompue avant l'élimination complète de la couche superficielle (28) dans la région de canal, et la
15 deuxième gravure, présentant une sélectivité supérieure à la sélectivité de la première gravure, est poursuivie avec arrêt sur la couche de silicium (26).

10. Transistor à effet de champ comprenant :

- 20 - un canal (46) formé dans une couche mince de silicium monocristallin,
- des régions de source et de drain (42, 44), s'étendant de part et d'autre du canal dans la couche de silicium (26) et dans une couche superficielle
25 (28) de semi-conducteur recouvrant la couche de silicium, la couche de semi-conducteur présentant un paramètre de maille voisin du silicium,
- une grille isolée (50), disposée au-dessus du canal, la grille étant encastrée de façon à affleurer à la
30 couche superficielle.

11. Transistor selon la revendication 10, dans lequel la couche superficielle est une couche de SiGe.

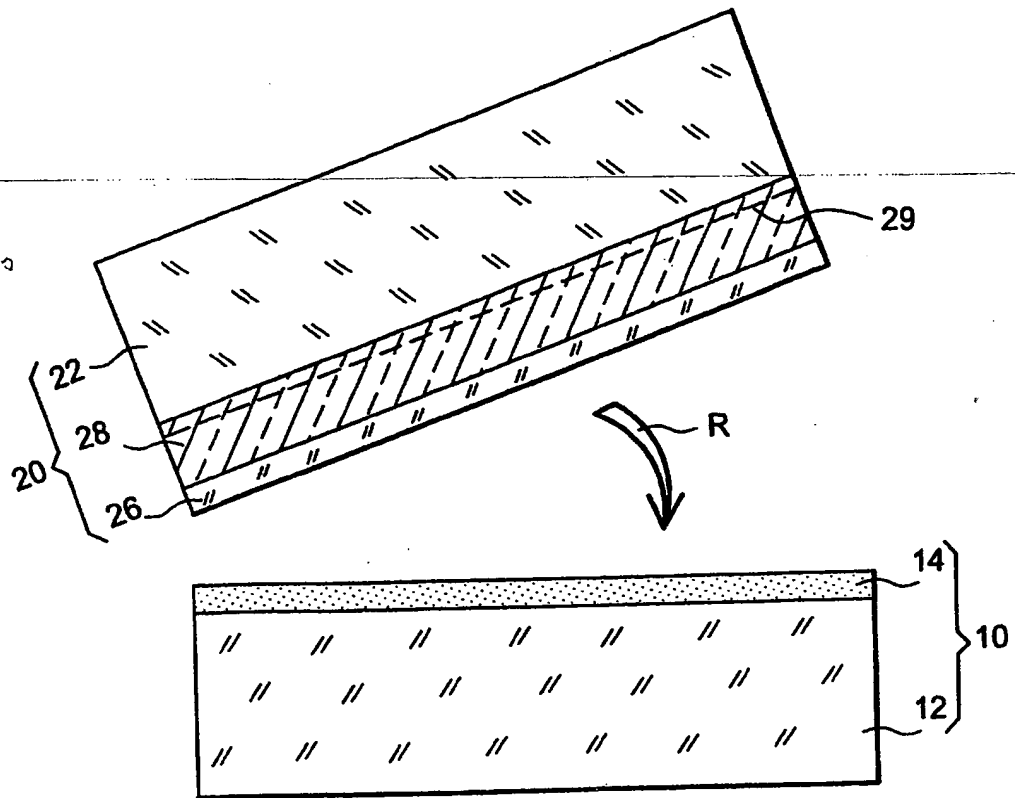


FIG. 1

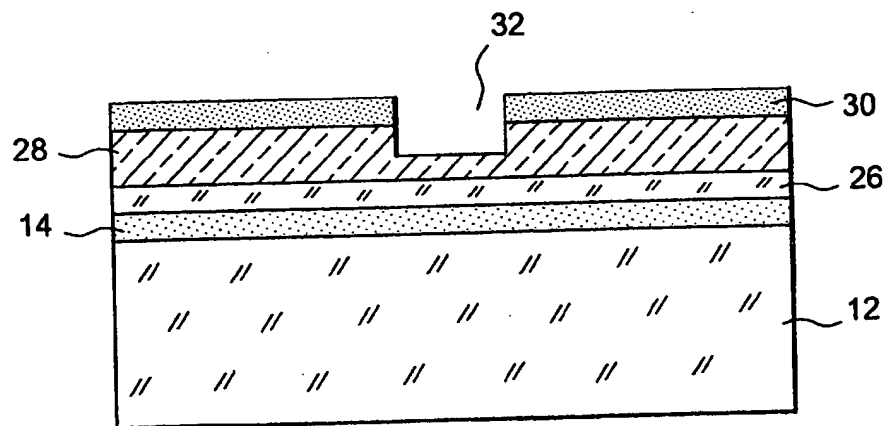


FIG. 2

2 / 2

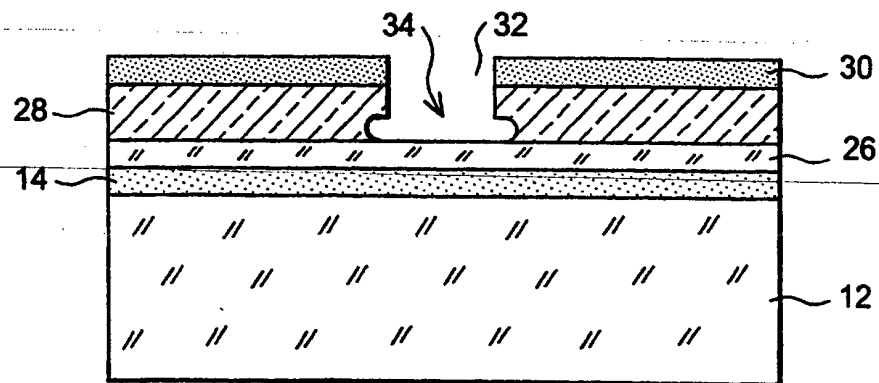


FIG. 3

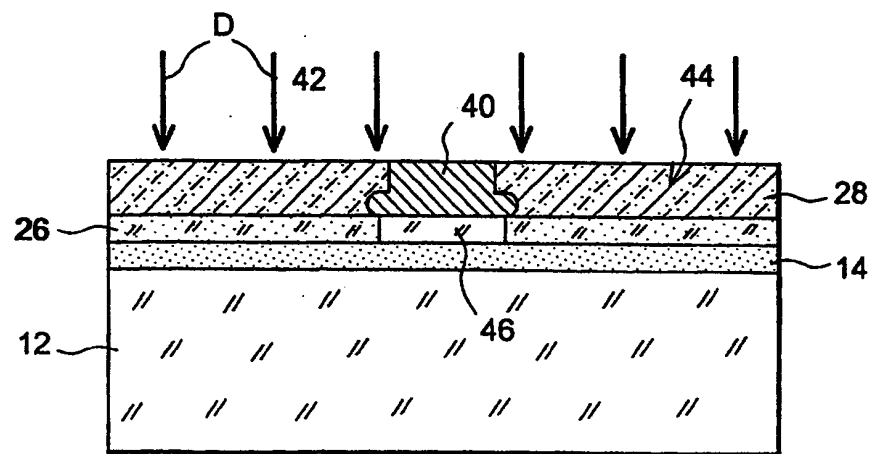


FIG. 4

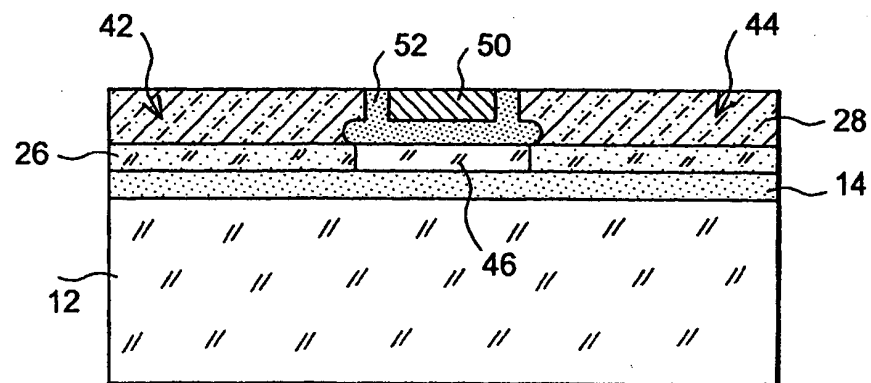


FIG. 5



2827705

RAPPORT DE RECHERCHE PRÉLIMINAIRE

N° d'enregistrement
national

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

FA 609581
FR 0109665

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 4 660 062 A (NISHIZAWA JUNICHI ET AL) 21 avril 1987 (1987-04-21)	1,2,10	H01L21/336 H01L29/78
Y	* colonne 11, ligne 51 - ligne 54; figures 7A-7G *	5-8	
X	DE 44 47 149 A (HYUNDAI ELECTRONICS IND) 6 juillet 1995 (1995-07-06)	1,2,10	
A	* figures 3A-3D *	4	
D,Y	FR 2 774 214 A (COMMISSARIAT ENERGIE ATOMIQUE) 30 juillet 1999 (1999-07-30)	6-8	
	* figures 1-8 *		
Y	US 5 846 862 A (DAWSON ROBERT ET AL) 8 décembre 1998 (1998-12-08)	5	
	* figures 5A-5C *		
A	US 6 054 355 A (YAGISHITA ATSUSHI ET AL) 25 avril 2000 (2000-04-25)	3	
	* figures 1,9 *		
A	GODBEY D J ET AL: "SELECTIVE REMOVAL OF SII-XGEX FROM (100) SI USING HNO3 AND HF" JOURNAL OF THE ELECTROCHEMICAL SOCIETY, ELECTROCHEMICAL SOCIETY. MANCHESTER, NEW HAMPSHIRE, US, vol. 139, no. 10, 1 octobre 1992 (1992-10-01), pages 2943-2947, XP000359007 ISSN: 0013-4651 * le document en entier *	8,9	DOMAINES TECHNIQUES RECHERCHÉS (Int.CL.7) H01L
Date d'achèvement de la recherche		Examineur	
21 mai 2002		Juh1, A	
<p>CATÉGORIE DES DOCUMENTS CITÉS</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>			

1

EPO FORM 1503 12.99 (P04C14)

2827705

ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE**RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0109665 FA 609581**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **21-05-2002**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication		Membre(s) de la famille de brevet(s)	Date de publication
US 4660062	A	21-04-1987	JP	1961824 C	25-08-1995
			JP	6082837 B	19-10-1994
			JP	59050565 A	23-03-1984
DE 4447149	A	06-07-1995	KR	9709054 B1	03-06-1997
			DE	4447149 A1	06-07-1995
			JP	7211906 A	11-08-1995
			US	5677210 A	14-10-1997
FR 2774214	A	30-07-1999	FR	2774214 A1	30-07-1999
			EP	1051737 A2	15-11-2000
			WO	9939371 A2	05-08-1999
			JP	2002502119 T	22-01-2002
US 5846862	A	08-12-1998	WO	9853492 A1	26-11-1998
			US	6323524 B1	27-11-2001
US 6054355	A	25-04-2000	JP	11074527 A	16-03-1999
			JP	11243195 A	07-09-1999

EPO FORM P0465

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)